



	Prior	Instr. 1	Instr. 2	Instr. 3
Reg 00	0010	0010	0010	0010
Reg 01	0100	0011	0011	0011
Reg 10	0001	0001	1101	1011
Reg 11	0011	0011	0011	0011
input	0000	0011	1101	1011
output	0000	0100	0001	1101
Write	0	1	1	1
Reg Addr	00	01	10	10